

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平2-65274

⑥ Int. Cl.<sup>8</sup>

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)3月5日

H 01 L 29/784  
G 02 F 1/136  
H 05 B 33/08

5 0 0

7370-2H  
6649-3K  
8624-5F

H 01 L 29/78

3 1 1 G

審査請求 未請求 請求項の数 1 (全5頁)

⑭ 発明の名称 薄膜トランジスタ

⑮ 特 願 昭63-217823

⑯ 出 願 昭63(1988)8月31日

⑰ 発 明 者 林 久 雄 東京都品川区北品川6丁目7番35号 ソニー株式会社内  
⑱ 出 願 人 ソニー株式会社 東京都品川区北品川6丁目7番35号  
⑲ 代 理 人 弁理士 松隈 秀盛

明 細 書

発明の名称 薄膜トランジスタ

特許請求の範囲

絶縁性基板上の薄膜半導体層に形成された絶縁ゲート型電界効果トランジスタ素子が絶縁層により絶縁分離され、上記トランジスタ素子のゲート絶縁膜がSiO<sub>2</sub>膜、Si<sub>3</sub>N<sub>4</sub>膜及びSiO<sub>2</sub>膜の3層構造で構成されて成る薄膜トランジスタ。

発明の詳細な説明

〔産業上の利用分野〕

本発明は、ガラス等より成る絶縁性基板上に形成される薄膜トランジスタに関し、特に比較的高い駆動電圧を必要とする液晶駆動回路、EL(エレクトロ・ルミネッセンス)駆動回路等に使用して好適なものである。

〔発明の概要〕

本発明は、ガラス等より成る絶縁性基板上に形成される薄膜トランジスタにおいて、絶縁性基板上の薄膜半導体層に形成された絶縁ゲート型電界

効果トランジスタ素子が絶縁層により絶縁分離され、上記トランジスタ素子のゲート絶縁膜がSiO<sub>2</sub>膜、Si<sub>3</sub>N<sub>4</sub>膜及びSiO<sub>2</sub>膜の3層構造で構成することにより、製造工程の簡略化が図れ、同時にゲート耐圧の向上も図ることができるようにしたものである。

〔従来の技術〕

一般に、液晶駆動やEL駆動等の半導体素子としてMOS動作型薄膜トランジスタが有望とされているが、必要な駆動電圧として、20V以上の比較的高い電圧が望まれている。そこで、上記駆動電圧に対する薄膜トランジスタの耐圧化については、ソース、ドレイン間耐圧とゲート耐圧の両方において考慮しなければならない。

従来のMOS型薄膜トランジスタは第3図に示すように、ガラス等より成る絶縁性基板(11)上にいわゆる島状に形成することによって素子分離を図ると同時に多結晶シリコン層から成る活性層(12)を形成し、該活性層(12)上にSiO<sub>2</sub>酸化膜から

成るゲート絶縁膜(13)及び多結晶シリコンから成るゲート電極(14)を形成して構成されている。尚、(15)及び(16)はソース領域及びドレイン領域である。

ソース、ドレイン間耐圧の向上には、ゲート電極(14)を少なくともドレイン領域(16)から離れるように構成したいわゆるオフセットゲート構造が有望であるが、ゲート耐圧の向上の場合、トランジスタの特性を劣化させずに行なうことは困難である。即ち、ゲート耐圧の向上は絶縁破壊を防止することに帰着するため、ゲート絶縁膜の物質が決定すると、ゲート耐圧向上の度合はゲート絶縁膜の膜厚に比例することになる。ところが、膜厚を厚くするに従って薄膜トランジスタとしての特性は劣化する。

一般的にMOS型トランジスタとしての特性(主に、ゲートによる電荷誘電特性)を変えずにゲート耐圧を向上させるため、ゲート絶縁膜に誘電率の高い物質を使うことが考えられている。例えばゲート絶縁膜として通常 $\text{SiO}_2$ 酸化膜を用いる

ところ、 $\text{SiO}_2$ 酸化膜- $\text{Si}_3\text{N}_4$ 膜- $\text{SiO}_2$ 酸化膜のサンドイッチ構造を用いることなどである。尚、 $\text{SiO}_2$ 酸化膜の誘電率は3.8、 $\text{Si}_3\text{N}_4$ 膜の誘電率は7.5である。また、ゲート絶縁膜として $\text{Si}_3\text{N}_4$ 膜のみを用いない理由は、1つは活性層であるシリコン層と $\text{Si}_3\text{N}_4$ 膜を直接接触させるとその界面特性が良くないこと。また1つは活性層であるシリコン層から $\text{Si}_3\text{N}_4$ 膜中へ電荷が容易に注入され、メモリー効果が現われてしまうことにある。

#### 〔発明が解決しようとする課題〕

しかしながら、従来の絶縁基板(11)上に形成される薄膜トランジスタにおいては、第3図に示す構造の場合、工程数が少ないという利点はあるが、活性層(12)とゲート電極(14)とが非常に近接した位置関係となっているため、第4図に示すように、チャンネル幅方向のエッジ部(e)でのゲート耐圧が弱いという不都合がある。

また、 $\text{SiO}_2$ 膜、 $\text{Si}_3\text{N}_4$ 膜及び $\text{SiO}_2$ 膜の3層構造というゲート絶縁膜構成を薄膜トランジスタプロ

3

セスに導入すると、 $\text{SiO}_2$ 酸化膜のみの場合と比べて、工程数が増加する。つまり、 $\text{Si}_3\text{N}_4$ 膜をCVD法で成長させる工程と、その $\text{Si}_3\text{N}_4$ 膜を熱酸化して表面を $\text{SiO}_2$ 膜に変える工程が増加する。そのため、作業効率が低下し、コストアップにつながるという不都合がある。

本発明は、このような点に鑑み成されたもので、その目的とするところはゲート耐圧の向上のみならずチャンネル方向のエッジ部での耐圧の向上を図れると共に、工程の簡略化をも図れる薄膜トランジスタを提供することにある。

#### 〔課題を解決するための手段〕

本発明の薄膜トランジスタは、ガラス等より成る絶縁性基板(1)上に形成される薄膜トランジスタにおいて、例えば選択酸化(LCCOS)法により、周りに絶縁層(5)を形成して素子分離を行なうと共に、ゲート絶縁膜(10)を $\text{SiO}_2$ 酸化膜(3)、 $\text{Si}_3\text{N}_4$ 膜(4)及び $\text{SiO}_2$ 酸化膜(6)の3層構造で構成するようにしたことである。

5

4

#### 〔作用〕

上述の本発明の構成によれば、ゲート絶縁膜(10)は誘電率の高い $\text{Si}_3\text{N}_4$ 膜(4)を含む3層構造であるため、ゲート耐圧が向上する。

また、周囲に選択酸化による素子分離用の絶縁層(5)を有するのでエッジ部分(e)の耐圧も向上する。

また、選択酸化の際、耐酸化膜( $\text{Si}_3\text{N}_4$ 膜(4))をゲート絶縁膜に利用し、選択酸化時、 $\text{Si}_3\text{N}_4$ 膜(4)表面を熱酸化して $\text{SiO}_2$ 膜(7)に変えるようにしたので、選択酸化による絶縁分離層(5)の形成と同時に3層構造のゲート絶縁膜(10)が形成でき、その結果、工程が簡略化される。

#### 〔実施例〕

以下、第1図及び第2図を参照しながら本発明の実施例を説明する。

第1図は、本実施例に係る薄膜トランジスタの構成を製造工程順に示した説明図である。以下、順を追ってその工程を説明する。

まず、同図Aに示すように、ガラス等から成る

6

絶縁性基板(1)上に第1導電型を呈した厚さ 800 Å の多結晶シリコン層(2)を例えばCVD法等で成長させる。

次に、同図Bに示すように、上記多結晶シリコン層(2)に熱酸化を施すなどして膜厚約 200 Å の  $\text{SiO}_2$  酸化膜(3)を形成したのち、該膜(3)上に膜厚約 600 Å の  $\text{Si}_3\text{N}_4$  膜(4)を例えばCVD法等で成長させる。

次に、同図Cに示すように、 $\text{SiO}_2$  酸化膜(3)及び  $\text{Si}_3\text{N}_4$  膜(4)のトランジスタ素子を形成すべき領域に対応した部分を残して他部をホトリソグラフィ技術を用いてエッチング除去し、下層に存していた多結晶シリコン層(2)の一部(2a)を露出させる。

次に、同図Dに示すように、選択酸化処理して多結晶シリコン部分(2a)を絶縁基板(1)に連する  $\text{SiO}_2$  のフィールド絶縁層(5)に変えると共に、 $\text{Si}_3\text{N}_4$  膜(4)の表面を同時熱酸化して  $\text{SiO}_2$  酸化膜(6)を形成する。このフィールド絶縁層(5)が素子分離領域となり、該フィールド絶縁層(5)で囲まれた多結晶シリコン層がトランジスタ素子が形成される活性層

(7)となる。

その後、同図Eに示すように、上記  $\text{SiO}_2$  酸化膜(6)上に第2導電型を呈した多結晶シリコン層(8)を例えばCVD法等で成長させたのち、該多結晶シリコン層(8)、 $\text{SiO}_2$  酸化膜(6)、 $\text{Si}_3\text{N}_4$  膜(4)及び  $\text{SiO}_2$  酸化膜(3)を順次選択エッチングして多結晶シリコン層(8)より成るゲート電極(9)及び  $\text{SiO}_2$  酸化膜(6)と  $\text{Si}_3\text{N}_4$  膜(4)と  $\text{SiO}_2$  酸化膜(3)より成るゲート絶縁膜(10)を形成する。そして活性層(7)の表面部のうち、ゲート部以外の部分を露出させる。尚、ゲート電極(9)の一部は、第2図に示すように、フィールド絶縁層(5)上に延長して形成される。

その後は図示しないが、フィールド絶縁層(5)及びゲート電極(9)をマスクとして又はゲート電極(9)及びゲート絶縁膜(10)の側壁部に新たに形成した  $\text{SiO}_2$  膜をマスクとして活性層(7)に第2導電型の不純物をイオン注入してソース領域及びドレイン領域を形成して通常の薄膜トランジスタ又はオフセットゲート構造の薄膜トランジスタを形成する。

上述の如く本実施例によれば第1図Eに示すよ

7

うに、ゲート絶縁膜(10)は  $\text{SiO}_2$  酸化膜(7)、 $\text{Si}_3\text{N}_4$  膜(4)及び  $\text{SiO}_2$  酸化膜(3)の3層構造となっており、特に高誘電率の  $\text{Si}_3\text{N}_4$  膜(4)を有するのでゲート耐圧が向上する。

また、ゲート電極(9)がフィールド絶縁層(5)上に延長して形成され、活性層(7)のエッジ部(8)はフィールド絶縁層(5)で囲まれている(第2図参照)ので、ゲート電極(9)と活性層(7)とは近接しなくなり、チャンネル幅方向のエッジ部(8)での耐圧も向上する。

また、選択酸化での耐酸化膜( $\text{Si}_3\text{N}_4$  膜(4))をゲート絶縁膜(10)として利用し、さらに、選択酸化時、 $\text{Si}_3\text{N}_4$  膜(4)表面を熱酸化して  $\text{SiO}_2$  酸化膜(6)に変えるようにしたので、選択酸化によるフィールド絶縁層(5)の形成と同時に3層構造のゲート絶縁膜(10)が形成でき、その結果工程が簡略化される。

#### 【発明の効果】

本発明に係る薄膜トランジスタは、ガラス等より成る絶縁性基板上に形成される薄膜トランジス

8

タにおいて、周りを絶縁層により素子分離され、ゲート絶縁膜を  $\text{SiO}_2$  酸化膜、 $\text{Si}_3\text{N}_4$  膜及び  $\text{SiO}_2$  酸化膜の3層構造で構成するようにしたので、ゲート耐圧の向上を図ることができると共に、製造工程の簡略化をも図ることができる。

#### 図面の簡単な説明

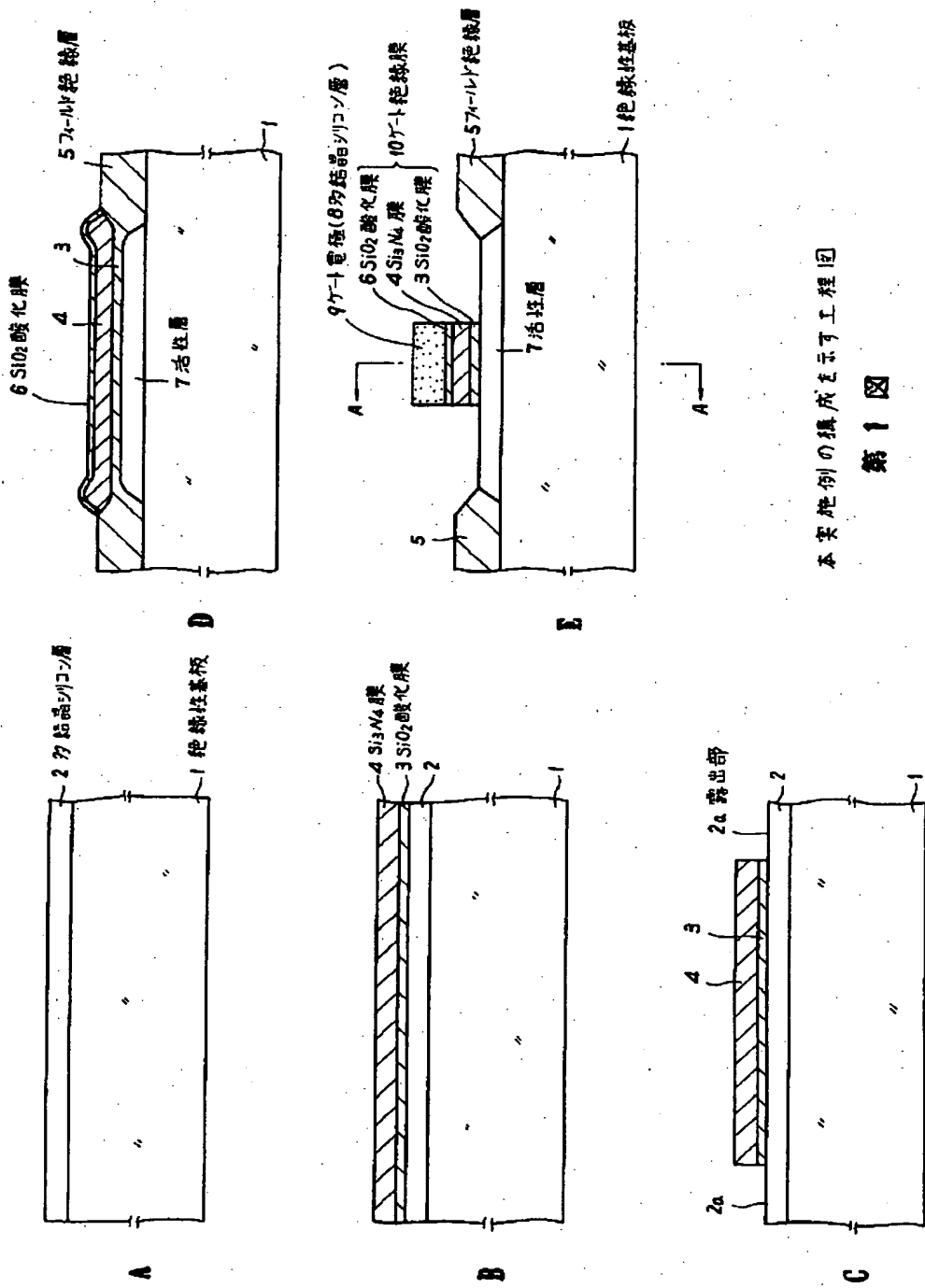
第1図は本実施例に係る薄膜トランジスタの構成を製造工程順に示す説明図、第2図は第1図EのA-A線上の断面図、第3図は従来例の構成図、第4図は第3図のB-B線上の断面図である。

(1)は絶縁基板、(2)は  $\text{SiO}_2$  酸化膜、(4)は  $\text{Si}_3\text{N}_4$  膜、(5)はフィールド絶縁層、(6)は  $\text{SiO}_2$  酸化膜、(7)は活性層、(9)はゲート電極、(10)はゲート絶縁膜、(8)はエッジ部である。

代理人 伊藤 貞

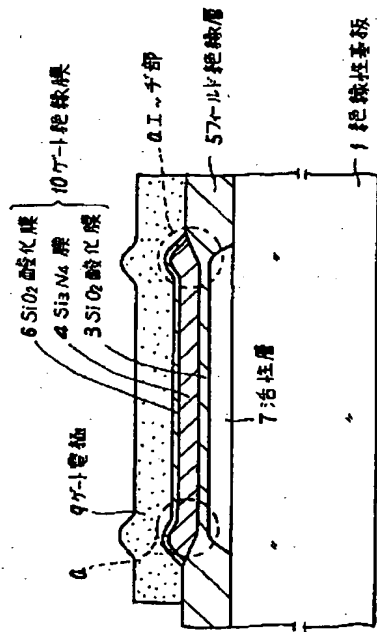
同 松隈 秀盛

9

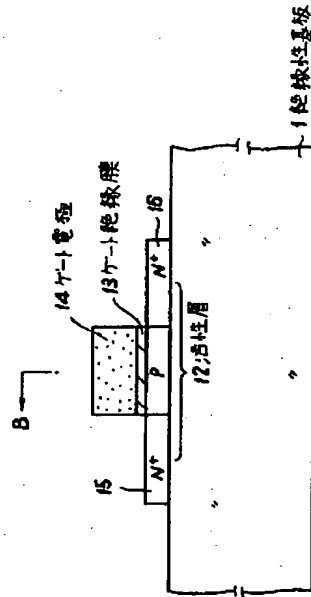


本実施例の構成を示す工程図

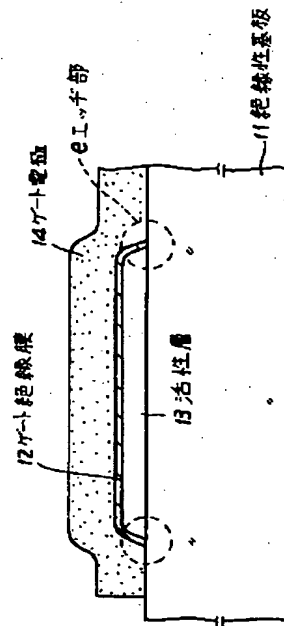
第1図



第11図EのA-A線上の断面図  
第2図



従来例の構成図  
第3図



第3図のB-B線上の断面図  
第4図

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-065274

(43)Date of publication of application : 05.03.1990

(51)Int.Cl.

H01L 29/784

G02F 1/136

H05B 33/08

(21)Application number : 63-217823

(71)Applicant : SONY CORP

(22)Date of filing : 31.08.1988

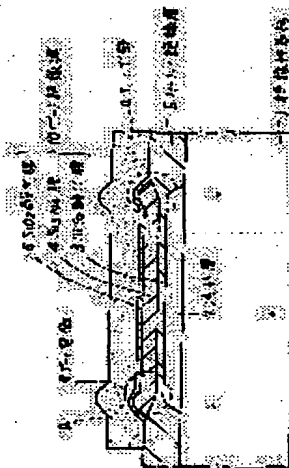
(72)Inventor : HAYASHI HISAO

## (54) THIN FILM TRANSISTOR

## (57)Abstract:

**PURPOSE:** To simplify a manufacturing process of a transistor of this design and to improve it in gate breakdown strength by a method wherein an insulated gate type field effect transistor formed on a thin film semiconductor layer on an insulating substrate is isolated through an insulating layer, and a gate insulating film of a transistor element has a three-layered structure composed of an SiO<sub>2</sub> film, an Si<sub>3</sub>N<sub>4</sub> film, and an SiO<sub>2</sub> film.

**CONSTITUTION:** An insulating layer 5 is formed surrounding a thin film transistor formed on an insulating substrate 1 through, for instance, a selective oxidation method for the element isolation, and a gate insulating film 20 is formed into a three-layered structure composed of an SiO<sub>2</sub> oxide film 3, an Si<sub>3</sub>N<sub>4</sub> film, and an SiO<sub>2</sub> oxide film 6. By this setup, the gate insulating film 10 is formed in a three-layered structure which includes the Si<sub>3</sub>N<sub>4</sub> film 4 of high dielectric constant, so that the gate breakdown strength is improved. And, as the insulating film 5 for the use in the isolation of an element is formed surrounding the thin film transistor, an edge (a) is improved in breakdown strength. And, when a selective oxidation is executed, the Si<sub>3</sub>N<sub>4</sub> film 4 is used as a gate insulating film and the surface of the film 4 is thermally oxidized to turn into an SiO<sub>2</sub> film 7, so that the gate insulating film 10 of three-layered structure and an insulation isolating layer 5 can be formed at the same time, consequently the manufacturing process can be simplified.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office